

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-275135

(43)Date of publication of application : 13.10.1998

(51)Int.Cl. G06F 15/16
H04N 7/24

(21)Application number : 10-055309

(71)Applicant : LSI LOGIC CORP

(22)Date of filing : 06.03.1998

(72)Inventor : LEONARDO VEINSENCHAR

(30)Priority

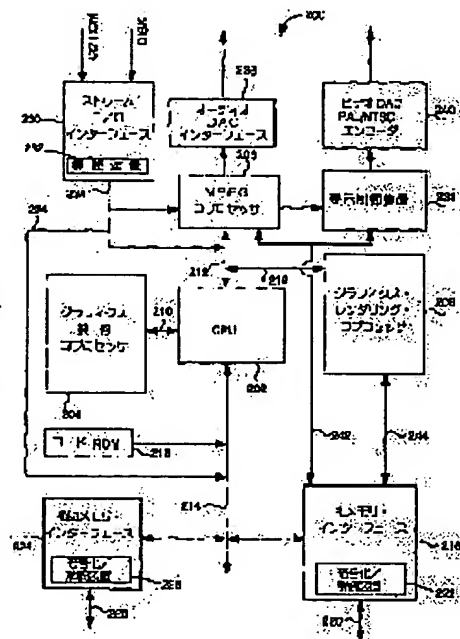
Priority number : 97 812773 Priority date : 06.03.1997 Priority country : US

(54) SINGLE-CHIP COMPUTER HAVING MPEG PROCESSOR AND GRAPHICAL PROCESSOR UNITED

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain the single-chip computer which provides not only support for normal processing operation, but also dedicated support for graphical processing operation and video processing operation.

SOLUTION: The single-chip computer system 200 has not only a CPU 202, but also dedicated coprocessors 204, 206, and 208. The dedicated coprocessors 204, 206, and 208 make it possible to determine reasonable size of the single-chip computer system 200 and also enables video and graphics operation having high quality. Further, the single-chip computer system 200 provides video graphics operation, resource scheduling, and improved security performance.



LEGAL STATUS

[Date of request for examination]

24.12.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-275135

(43) 公開日 平成10年(1998)10月13日

(51) Int.Cl.⁶

G 0 6 F 15/16

H 0 4 N 7/24

識別記号

3 7 0

F I

C 0 6 F 15/16

H 0 4 N 7/13

3 7 0 Z

Z

審査請求 未請求 請求項の数20 OL (全 11 頁)

(21) 出願番号 特願平10-55309

(22) 出願日 平成10年(1998) 3月6日

(31) 優先権主張番号 8 1 2 7 7 3

(32) 優先日 1997年 3月6日

(33) 優先権主張国 米国 (US)

(71) 出願人 59100/686

エルエスアイ ロジック コーポレーショ
ン

LSI LOGIC CORPORATI
ON

アメリカ合衆国、カリフォルニア州、ミル
ピタス、マッカーシー ブルバード 1551

(72) 発明者 レオナルド・ヴェインセンチャー

アメリカ合衆国カリフォルニア州95124,
サンノゼ、アミー・ドライブ 5497

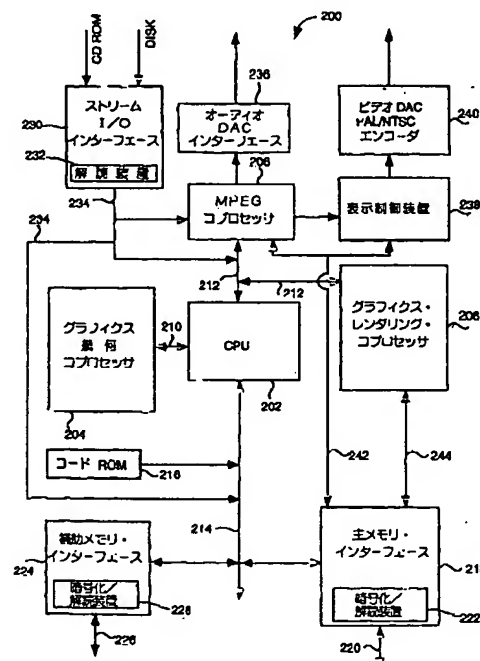
(74) 代理人 弁理士 社本 一夫 (外5名)

(54) 【発明の名称】 MPEGプロセッサとグラフィカル・プロセッサとが一体化されたシングル・チップ・コンピュータ

(57) 【要約】

【課題】 通常の処理動作に対するサポートのみならず、グラフィカル処理動作及びビデオ処理動作に対する専用サポートをも提供するシングル・チップ・コンピュータ・システムを提供すること。

【解決手段】 シングル・チップ・コンピュータ・システム200は、CPU202のみならず専用コプロセッサ204、206、208をも有する。専用コプロセッサ204、206、208は、シングル・チップ・コンピュータ・システム200の無理のない寸法決定を可能にするだけでなく、高質なビデオ及びグラフィクス動作の実行を可能にする。また、シングル・チップ・コンピュータ・システム200は、ビデオ及びグラフィクス動作、リソース・スケジューリング、及び改良されたセキュリティ性能を提供する。



【特許請求の範囲】

【請求項1】 少なくともシングル・チップ・コンピュータ・システムをブートアップするためのブートアップ・コードを格納しているリードオンリメモリ（ROM）と、

専用処理タスクを実行するための複数の専用コプロセッサと、

プログラム・コードの実行を含む汎用処理を実行するための中央処理装置（CPU）と、

前記CPU及び前記コプロセッサ間、あるいは前記コプロセッサ間にてデータ及び制御信号を転送するための1つ以上の内部プロセッサ・バスと、

前記シングル・チップ・コンピュータ・システムを外部共通共有メモリに接続するためのメモリ・インターフェースと、

前記CPU及び前記メモリ・インターフェース間にてデータ及び制御信号を転送するためのメインCPUバスとを備える、シングル・チップ・コンピュータ・システム。

【請求項2】 請求項1に記載のシングル・チップ・コンピュータ・システムにおいて、前記専用コプロセッサは、表示されるべきグラフィカル・オブジェクト上で幾何変換を実行するためのグラフィックス幾何コプロセッサを備える、シングル・チップ・コンピュータ・システム。

【請求項3】 請求項2に記載のシングル・チップ・コンピュータ・システムにおいて、前記専用コプロセッサはさらに、前記グラフィックス幾何コプロセッサからの転送グラフィカル・オブジェクトを受けとると共に表示用の前記転送グラフィカル・オブジェクトをレンダリングするためのグラフィックス・レンダリング・コプロセッサを備える、シングル・チップ・コンピュータ・システム。

【請求項4】 請求項1に記載のシングル・チップ・コンピュータ・システムにおいて、前記専用コプロセッサは、ビデオイメージを生成するためのMPEGコプロセッサを備える、シングル・チップ・コンピュータ・システム。

【請求項5】 請求項4に記載のシングル・チップ・コンピュータ・システムにおいて、前記専用コプロセッサはさらに、

表示されるべきグラフィカル・オブジェクト上で幾何変換を実行するためのグラフィックス幾何コプロセッサ、前記グラフィックス幾何コプロセッサからの転送グラフィカル・オブジェクトを受けとると共に表示用の前記転送グラフィカル・オブジェクトをレンダリングするためのグラフィックス・レンダリング・コプロセッサを備える、シングル・チップ・コンピュータ・システム。

【請求項6】 請求項5に記載のシングル・チップ・コンピュータ・システムはさらに、

グラフィカル・イメージ及びビデオ・イメージを表示するためにディスプレイ装置を制御するためのディスプレイ制御装置、

前記グラフィックス・レンダリング・コプロセッサ及び前記メモリ・インターフェースを機能的に接続するグラフィックス・バス、

前記メモリ・インターフェースを前記MPEGコプロセッサ及び前記ディスプレイ制御装置に対して機能的に接続するビデオ・バスとを備える、シングル・チップ・コンピュータ・システム。

【請求項7】 請求項6に記載のシングル・チップ・コンピュータ・システムにおいて、前記1つ以上の内部プロセッサ・バスは、

前記CPU、前記MPEGコプロセッサ及び前記グラフィックス・レンダリング・コプロセッサを機能的に接続する入力／出力（I/O）バスを備える、シングル・チップ・コンピュータ・システム。

【請求項8】 請求項7に記載のシングル・チップ・コンピュータ・システムにおいて、前記1つ以上の内部プロセッサ・バスは、

前記CPU及び前記グラフィックス幾何コプロセッサを機能的に接続するコプロセッサ・バスを備える、シングル・チップ・コンピュータ・システム。

【請求項9】 請求項8に記載のシングル・チップ・コンピュータ・システムはさらに、周辺ドライブ装置からデータを受け取るためのストリームインターフェース、

前記受取データを前記I/Oバス及び前記メインCPUバスの少なくとも一方に供給するためのストリーム・バスを備える、シングル・チップ・コンピュータ・システム。

【請求項10】 請求項6に記載のシングル・チップ・コンピュータ・システムはさらに、前記シングル・チップ・コンピュータ・システムを前記外部共通共有メモリに接続するための補助メモリインターフェースを備え、

前記メインCPUバスは、前記CPUと、前記メモリ・インターフェース及び前記補助メモリ・インターフェースの少なくとも一方との間においてデータ及び制御信号を転送する、シングル・チップ・コンピュータ・システム。

【請求項11】 請求項10に記載のシングル・チップ・コンピュータ・システムにおいて、

前記外部共通共有メモリは第1メモリ装置及び第2メモリ装置を備え、

前記メモリインターフェースは、前記第1メモリ装置にアクセスし、前記補助メモリインターフェースは前記第2メモリ装置にアクセスする、シングル・チップ・コンピュータ・システム。

【請求項12】 請求項6に記載のシングル・チップ・コンピュータ・システムはさらに、

前記MPEGコプロセッサを外部スピーカに機能的に接続するためのオーディオ・デジタル・アナログ変換器(DAC)インターフェース、

前記ディスプレイ制御装置及び外部ディスプレイ装置間において機能的に接続されていると共に、前記外部ディスプレイ装置に対してイメージ表示情報を適当なアナログ形式で供給するためのビデオDAC PAL/NTSCエンコーダとを備える、シングル・チップ・コンピュータ・システム。

【請求項13】プログラム・コード及びデータの認証されていない複製を防止するために暗号化プログラム・コード及びデータを使用するシングル・チップ・コンピュータ・システムであって、

少なくともシングル・チップ・コンピュータ・システムをブートアップするためのブートアップ・コード及び非公開暗号鍵を格納している内部リードオンリメモリ(ROM)と、

プログラム・コードの実行を含む汎用処理を実行するための中央処理装置(CPU)と、

前記シングル・チップ・コンピュータ・システムを外部共通共有メモリに接続し、且つ、前記内部ROM内に格納されている非公開暗号鍵に基づいて前記外部共通共有メモリに格納されるべきデータを暗号化すると共に前記外部共通共有メモリから引き出されたデータを解読するための暗号化/解読装置を有するメモリインターフェースと、

前記CPU及び前記メモリ・インターフェース間にてデータ及び制御信号を転送するためのメインCPUバスとを備える、シングル・チップ・コンピュータ・システム。

【請求項14】請求項13に記載のシングル・チップ・コンピュータ・システムはさらに、専用処理タスクを実行するための複数の専用コプロセッサと、

プログラム・コードの実行を含む汎用処理を実行するための中央処理装置(CPU)とを備える、シングル・チップ・コンピュータ・システム。

【請求項15】請求項14に記載のシングル・チップ・コンピュータ・システムはさらに、周辺ドライブ装置から暗号化データを受け取るためのストリーム・インターフェース、

前記内部ROM内に格納されている非公開暗号鍵に基づき前記周辺ドライブ装置からの前記暗号化データを解読する解読装置とを備える、シングル・チップ・コンピュータ・システム。

【請求項16】請求項14に記載のシングル・チップ・コンピュータ・システムにおいて、

前記専用コプロセッサは、ビデオイメージを生成するためのMPEGコプロセッサ、表示されるべきグラフィカル・オブジェクト上で幾何変換を実行するためのグラ

フィックス幾何コプロセッサ、前記グラフィックス幾何コプロセッサからの転送グラフィカル・オブジェクトを受けると共に表示用の前記転送グラフィカル・オブジェクトをレンダリングするためのグラフィックス・レンダリング・コプロセッサとを有し、

前記シングル・チップ・コンピュータ・システムはさらに、

グラフィカル・イメージ及びビデオイメージを表示するためにディスプレイ装置を制御するためのディスプレイ制御装置、

前記グラフィックス・レンダリング・コプロセッサ及び前記メモリ・インターフェースを機能的に接続するグラフィックス・バス、

前記メモリ・インターフェースを前記MPEGコプロセッサ及び前記ディスプレイ制御装置に機能的に接続するビデオ・バスとを備える、シングル・チップ・コンピュータ・システム。

【請求項17】請求項16に記載のシングル・チップ・コンピュータ・システムはさらに、

前記CPU、前記MPEGコプロセッサ及び前記グラフィックス・レンダリング・コプロセッサを機能的に接続する入力/出力(I/O)バスを備える、シングル・チップ・コンピュータ・システム。

【請求項18】外部データ記憶装置に接続されていると共に少なくともブートアップ・プログラム・コード及び非公開暗号鍵を格納している内部コード・リードオンリメモリ(ROM)を備えるシングル・チップ・コンピュータ・システムを安全にブートアップするための方法であって、

(a) 前記内部コードROMからの前記ブートアップ・プログラム・コードを実行することにより前記シングル・チップ・コンピュータ・システムのブートアップ・シーケンスを開始するステップ、

(b) 前記シングル・チップ・コンピュータ・システムにて前記外部記憶装置から更なる暗号化プログラム・コードを引き出すステップ、

(c) 前記シングル・チップ・コンピュータ内にて、前記内部コードROM内に格納されている前記非公開暗号鍵を使用して前記引き出された暗号化プログラムを解読するステップとを備える、方法。

【請求項19】請求項18に記載の方法において、前記シングル・チップ・コンピュータ・システム外部にある前記プログラム・コードは暗号化されており、前記シングル・チップ・コンピュータ・システム内部にある前記プログラム・コードは適当な実行のために解読されている、方法。

【請求項20】請求項18に記載の方法において、前記プログラム・コードは暗号化されていると共に前記プログラム・コードを解読するために用いられる前記非公開暗号鍵は前記シングル・チップ・コンピュータ・システ

ム内に保持されているので、前記プログラムの不正な複製が防止される、方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、コンピュータ・システムに関し、より詳細には、MPEGプロセッサとグラフィカル・プロセッサとが一体化されているシングル・チップ・コンピュータ・システムに関する。

【0002】

【従来の技術】マイクロプロセッサは、長年、コンピュータ・システムの主要な構成要素として用いられてきている。従来より、マイクロプロセッサは、中央処理装置(CPU)、レジスタ、I/O、及び割り込みマネージャ等を含むシングル・チップのデバイスである。高性能マイクロプロセッサもまた、一般的に、浮動小数点演算処理専用のビルトイン・コプロセッサ又は機能ユニットを有する。

【0003】近年、グラフィクス及びビデオは、多くのコンピュータ・ユーザにとって一般的になると共に、関心の対象となってきている。高品質のグラフィクスを手に入れるために、特別のグラフィクス・サポートが必要である。同様に、特別のグラフィクス・ビデオ・サポートが、コンパクトディスクから読み出されたり遠隔サーバからダウンロードされる動画を表示するためには必要である。しばしばサポートされる既存のビデオ圧縮規格は、MPEGである。

【0004】グラフィクス及びMPEG処理だけでなく通常処理をもサポートするように構成されている従来設計のコンピュータ・システムでは、全ての必要な処理のためのハードウェア及び回路構成は、2個以上の別個の集積回路により提供されている。近年、アメリカ合衆国カリフォルニア州ミルピタス市所在のLSIロジック社は、JPEG型プロセッサ及び幾何変換プロセッサを、マイクロプロセッサ・チップ上に組み合わせたソニー社向けの集積回路チップ(Sony-PSx)を製造している。

【0005】

【発明が解決しようとする課題】しかし、MPEG、表示制御、及びブートアップ動作を実行するためには、依然として、追加的な支援チップが必要である。また、マイクロプロセッサ・チップへのこれら支援チップのインターフェースは、マイクロプロセッサ・チップ自身の上に要求されるピン数の点において、非常にコストがかかる。例えば、マイクロプロセッサとMPEGコプロセッサとをインターフェースするためには、マイクロプロセッサとMPEGコプロセッサとの間に100を超える接続(ピン)を必要とするであろう。コプロセッサ・マイクロプロセッサ間のインターフェースを与えなければならないというのは、マイクロプロセッサ設計者に対する大きな負担であるし、他の動作をサポートするためのマイクロプロセッサの能力を損なうことにもなる。

【0006】さらに、マイクロプロセッサと必要な種々のコプロセッサとの複雑さに起因して、必要な機能性を単一の集積回路チップの中に組み込むということは、従来、物理的に不可能、あるいは、あまりに困難なことであった。結果として、各プロセッサは相当なメモリ容量と帯域幅とを必要とするので、個々のチップ内に専用メモリが別に備えられていなければならなかった。専用メモリは、通常、プロセッサの最大の要求を処理するために構成されている。例えば、マイクロプロセッサのメモリの必要度は、アプリケーションのサイズにより変動し、グラフィック・プロセッサのメモリの必要度は、表示されるイメージのサイズ及び複雑さにより変動し、MPEGプロセッサのメモリの必要度は、画像サイズによって変化する。結果として、従来のマルチメディア用のコンピュータ・システム設計におけるメモリ使用は、非効率的であった。メモリはこのような集積回路を製造する際のコストにおける主要な構成要素なので、メモリの非効率的な使用には問題がある。

【0007】既存のマイクロプロセッサ設計はまた、プログラム・コード又はデータへの認証を受けていないアクセスに対する保護を与えてくれない。複数のチップが実装されている場合には、認証を受けたユーザであれば、一般的に、マイクロプロセッサと接続するチップのピンへのアクセスを有すると共に、そこからプログラム・コード及びデータを取得することができる。

【0008】本発明は、上記した従来技術の問題点を解決するためになされたものであり、通常の処理動作に対するサポートを提供するだけでなく、グラフィクス及びビデオの処理動作に対する特別のサポートを提供するシングル・チップ・コンピュータ・システムを提供することを目的とする。また、プログラム・コード及びデータのセキュリティが改善されたコンピュータ・システムを提供することを目的とする。

【0009】

【課題を解決するための手段】大まかにいって、本発明は、中央処理装置(CPU)のみならず専用コプロセッサを有する、高集積シングル・チップ・コンピュータ・システムに関連する。例えば、専用コプロセッサは、シングル・チップ・コンピュータ・システムの無理の内寸法決定を可能にするだけでなく、高質なビデオ及びグラフィクス動作の実行を可能にする。例として、ビデオサポートは、MPEG-2であり得るとともに、グラフィックサポートは、3次元グラフィクスを取り扱い得る。シングル・チップ・コンピュータ・システムは、ビデオ及びグラフィクス動作、リソーススケジューリング、及び改良されたセキュリティ性能を提供する。シングル・チップ・コンピュータ・システムによりもたらされる改良されたセキュリティは、認証を受けていないアクセスを防ぐためにシングル・チップ・コンピュータ・システムの外部に格納されているプログラム・コード及びデー

タが暗号化されることを許容するが、シングル・チップ・コンピュータ・システム内部のプログラム・コード及びデータは解読される。シングル・チップ・コンピュータ・システムは、特に高質なグラフィックス及び／又はビデオ、デジタルビデオディスク（DVD）プレーヤ、及びセットトップボックスを有するビデオゲーム制御装置に好適である。

【0010】本発明は、システム、装置、及び方法を含む多くの手段で実行され得る。いくつかの実施方法について以下に述べる。

【0011】シングル・チップ・コンピュータ・システムとして本発明の1つの実施態様は、シングル・チップ・コンピュータ・システムをブートアップするためのブートアップ・コードを少なくとも格納するリードオンリメモリ（ROM）、特別な処理タスクを実行するための複数の専用コプロセッサ、プログラム・コードの実行を含む汎用処理タスクを実行するための中央処理装置（CPU）、CPU及びコプロセッサ間、又はコプロセッサ間においてデータ及び制御信号を転送するための1つ以上の内部プロセッサ・バス、シングル・チップ・コンピュータ・システムを外部共用共通メモリに接続するためのメモリインタフェース、及びCPU及びメモリインタフェース間においてデータ及び制御信号を転送するためのメインCPUバスを備える。好ましくは、専用コプロセッサはグラフィックス幾何コプロセッサ、グラフィックレンダリングコプロセッサ、及びMPEGコプロセッサを含む。

【0012】シングル・チップ・コンピュータ・システムの実施形態はさらに、グラフィカルイメージ及びビデオイメージを表示するためにディスプレイ装置を制御するためのディスプレイ制御装置、グラフィックスレンダリングコプロセッサ及びメモリインタフェースを機能的に接続するグラフィックス・バス、及びメモリインタフェースをMPEGコプロセッサ及びディスプレイ制御装置と機能的に接続するビデオ・バスを備えている。これに加えさらに、シングル・チップ・コンピュータ・システムは、周辺ドライブ装置からのデータを受け取るためのストリームインタフェース、受信データを1つ以上の内部プロセッサ・バス及びCPUバスに供給するためのストリーム・バス、MPEGコプロセッサを外部スピーカに機能的に接続するためのオーディオデジタル-アナログコンバータ（DAC）インタフェース、及びイメージ表示情報を適当なアナログ形式で外部ディスプレイに供給するビデオDAC PAL/NTSCエンコーダを備える。

【0013】プログラム・コード及びデータの認証されていない複製を防ぐために暗号化済プログラム・コード及びデータを使用するシングル・チップ・コンピュータ・システムとして本発明の他の実施態様は、システムとして本発明の1つの実施態様は、シングル・チップ・

コンピュータ・システムをブートアップするためのブートアップ・コードを及び非公開暗号鍵を少なくとも格納する内部リードオンリメモリ（ROM）、プログラム・コードの実行を含む汎用処理タスクを実行するための中央処理装置（CPU）、シングル・チップ・コンピュータ・システムを外部共用共有メモリに接続すると共に、外部共通共有メモリに格納されるべきデータを暗号化すると共に外部共通共有メモリから受け取られたデータを解読するための暗号化／解読装置を有するメモリインタフェース、内部ROMに格納されている非公開暗号鍵に依存する暗号化及び解読、及びCPU及びメモリインタフェース間においてデータ及び制御信号を転送するためのメインCPUバスを備える。

【0014】シングル・チップ・コンピュータ・システムの実施態様はさらに、特別な処理タスクを実行するための複数の専用コプロセッサ、CPU及びコプロセッサ間、又はコプロセッサ間においてデータ及び制御信号を転送するための1つ以上の内部プロセッサ・バスを備える。また、シングル・チップ・コンピュータ・システムは、周辺ドライブ装置から暗号化データを受け取るためのストリームインタフェース、内部ROM内に格納されている非公開暗号鍵に基づき周辺ドライブ装置からの暗号化済データを解読するための解読装置を備え得る。

【0015】外部データ記憶装置と接続されているシングル・チップ・コンピュータ・システムをセキュアにブートアップするための方法としての発明の実施態様の1つは、シングル・チップ・コンピュータ・システムをブートアップするためのブートアップ・コードを及び非公開暗号鍵を少なくとも格納する内部コードリードオンリメモリ（ROM）を備えるシングル・チップ・コンピュータ・システムを提供する操作、内部コードROMからのブートアップ・プログラム・コードを実行することによりシングル・チップ・コンピュータ・システムに対するブートアップシーケンスを開始する操作、シングル・チップ・コンピュータ・システムにて追加の暗号化済プログラム・コードを外部データ記憶装置から引き出す操作、及び内部コードROMに格納されている非公開暗号鍵を用いてシングル・チップ・コンピュータ・システム内の引き出された暗号化済プログラムを解読する操作を備える。

【0016】本発明の利点は数多い。本発明の1つの利点は、シングル・チップ・コンピュータが高性能グラフィックス及びビデオ動作を実行するための回路構成を備えていることである。本発明の他の利点は、シングル・チップ・コンピュータ・システムに関連する集積度の増加が、改善されたリソース割当及びリソーススケジューリング、高速なメモリアクセス、及びシングル・チップ・コンピュータのピン又はパッド数の削減を促進することである。更に他の利点は、シングル・チップ・コンピュータ・システムがプログラム・コード及びデータに対す

る認証されていないアクセスを防止するためにプログラム・コード及びデータについて強化されたセキュリティを提供することである。

【0017】

【発明の実施の形態】本発明は、1つの集積回路チップ上に、中央処理装置(CPU)だけではなく専用のコプロセッサも一体化されているコンピュータ・システムに関する。例えば、専用コプロセッサは、シングル・チップ・コンピュータ・システムの合理的な寸法決定を可能にするだけでなく、高品質のビデオ及びグラフィクス動作を可能にする。例としては、ビデオ・サポートは、MPEG-2であり、グラフィクス・サポートは、3次元グラフィクスを取り扱い得る。本発明によるシングル・チップ・コンピュータ・システムは、ビデオ及びグラフィクス動作、リソース・スケジューリング及びセキュリティに関し、改善された性能を提供する。このシングル・チップ・コンピュータ・システムによって得られるセキュリティの改善によって、認証を受けていないアクセスを妨げるために、シングル・チップ・コンピュータ・システムの内部のプログラム・コード及びデータは暗号解除されながら、シングル・チップ・コンピュータ・システムの外部に記憶されているプログラム・コードとデータとが暗号化されることが可能となる。シングル・チップ・コンピュータ・システムは、特に、高品質なグラフィクス及び/又はビデオ、デジタル・ビデオ・ディスク(DVD)プレーヤ、及びセット・トップ・ボックスを有するビデオ・ゲーム用コンソールに適している。

【0018】本発明に係るいくつかの発明の実施の形態について、図1～図4を参照して以下説明する。しかし、当業者であれば容易に理解するように、これらの図面を参照して明細書中に記述される詳細な説明は、説明を目的とするものであり、本発明は、これらの限定された発明の実施形態に限定されない。

【0019】図1は、本発明の実施例によるコンピュータ・システム100のブロック図である。コンピュータ・システム100は、マルチメディア・コンピュータ・システム・チップ102を備えている。マルチメディア・コンピュータ・システム・チップ102は、マルチメディア動作を能率良くサポートすることのできる高度に集積化された回路チップである。マルチメディア・コンピュータ・システム・チップ102はまた、メイン・メモリ104に電気的に接続されている。メイン・メモリ104は、例えば、SDRAM、DRAM、SGRAM、RAMBUS等のランダムアクセスメモリ(RAM)といった半導体記憶装置である。マルチメディア・コンピュータ・システム・チップ102はまた、周辺装置106に接続されている。種々の周辺装置106の例としては、ハードディスク・ドライブ、CD-ROMドライブ、テープドライブ、デジタル・ビデオ・ディスク(DVD)等がある。マルチメディア・コンピュータ

・システム・チップ102からのグラフィカル出力及びビデオ出力は、ビデオ・イメージ及びグラフィカル・イメージをユーザに表示するディスプレイ装置108によって提供される。さらに、オーディオ・デジタル・アナログ・コンバータ/アンプ(DAC/AMP)110及びスピーカ112は、共に、ユーザにオーディオ・サウンド出力を提供する。

【0020】図2は、本発明に係る詳細な発明の実施の形態に従うマルチメディア・コンピュータ・システム・チップ200の詳細なブロック図である。マルチメディア・コンピュータ・システム・チップ200は、図1に図示されているマルチメディア・コンピュータ・システム・チップ102の詳細な実施例の1つである。

【0021】図2に図解されているマルチメディア・コンピュータ・システム・チップ200は、中央処理装置(CPU)202と種々のコプロセッサとを備えている。CPU202は、マイクロプロセッサであり、アメリカ合衆国カリフォルニア州マウンテンビュー市所在のMIPSテクノロジー社(シリコングラフィクス社の子会社)により製造されるようなMIPS R 4000縮小命令セットコンピュータ(RISC)設計のマイクロプロセッサであることが好ましい。この実施例では、種々のコプロセッサには、グラフィクス幾何コプロセッサ204、MPEGコプロセッサ206、及びグラフィクス・レンダリング・コプロセッサ208が含まれる。グラフィクス幾何コプロセッサ204は、頂点の3次元変換、ベクトルの正規化、及び明暗(lighting/shading)計算を加速させるために備えられている。3Dグラフィック・データベースを横断する機能をCPU202に担わせることによって、融通性が与えられる。グラフィクス幾何コプロセッサ204は、コプロセッサ・バス210を介して、CPU202に結合されている。グラフィクス・レンダリング・コプロセッサ208は、グラフィック・オブジェクトのピクセルレベルでのレンダリング動作を実行する。例えば、グラフィクス・レンダリング・コプロセッサ208は、陰影付け、テクスチャリング、隠れ面消去、及びブレンディングを加速させる。MPEGコプロセッサ206及びグラフィクス・レンダリング・コプロセッサ208は、入力/出力(I/O)バス212を通じてCPU202に結合されている。MPEGコプロセッサ206は、MPEGビデオ・シーケンスのリアルタイムでの圧縮解除(解凍)を提供する。これらMPEG計算は複雑であり、特にMPEG-2についてはなおさらである。CPU202はまた、メインCPUバス214に結合されている。マルチメディア・コンピュータ・システム・チップ200はまた、ブートアップ・プログラム・コードと共に以下に述べる暗号解除(解読)に用いるための非公開鍵(private key)を格納するコードROM216を備えている。

【0022】主メモリ・インターフェース218は、第

1メモリ・バス220を通じて、メイン・メモリ104に結合している。主メモリ・インターフェース218は、暗号化／解読装置222を備えている。暗号化／解読装置222は、メイン・メモリ104に格納されるデータを暗号化すると共に、メイン・メモリ104から引き出されるデータを解読するように動作する。補助メモリ・インターフェース224は、第2メモリ・バス226を通じて、メイン・メモリ104に結合している。あるいは、メイン・メモリ104がいくつかの異なるメモリ・チップから構成されていたり、更には、互いに分離されている異なるメモリ形式から構成される場合には、第2メモリ・バスは、異なるメモリ・チップに接続される。補助メモリ・インターフェース224は、暗号化／解読装置228を備える。暗号化／解読装置228は、メイン・メモリ104に記憶されるデータを暗号化すると共に、メイン・メモリ104から引き出されるデータを解読するように動作する。

【0023】マルチメディア・コンピュータ・システム・チップ200は、さらに、ストリーム・バス234を通じて、I/Oバス212及びメインCPUバス214に接続されているストリームI/Oインターフェース230を備えている。この実施例では、ストリームI/Oインターフェース230はまた、MPEGコプロセッサ206に結合されている。ストリームI/Oインターフェース230は、解読装置232を備えている。解読装置232は、マルチメディア・コンピュータ・システム・チップ200内部で用いるために、周辺装置106からの着信データを解読する。周辺装置106から引き出されるデータが、ストリーム・バス234及びメインCPUバス214を介し、主メモリインターフェース218又は補助メモリインターフェース224のいずれかを通じてメイン・メモリに転送される場合には、解読装置232は、バイパスすることができる。

【0024】オーディオ出力をオーディオDAC/AMP110及びスピーカ112に供給するために、マルチメディア・コンピュータ・システム・チップ200は、オーディオDACインターフェース236を備える。オーディオDACインターフェース236は、デジタル化されたオーディオ・サウンド・データをオーディオDACインターフェース236に供給するMPEGコプロセッサ206と接続されている。MPEGコプロセッサ206は、完全なMPEG-2サポートを提供することが好ましい。MPEGコプロセッサ206はまた、ディスプレイ制御装置238に接続されている。ディスプレイ制御装置238は、メモリからのデジタル化された画像を読み取り、そして、画像の表示に適当なピクセル値の生成を実行する。ディスプレイ制御装置238による処理には、水平及び垂直フィルタリング及びカラー・スペース変換が含まれる。ディスプレイ制御装置238は、ディスプレイ制御情報を、ビデオDAC PAL/

NTSCエンコーダ240に供給する。ビデオDAC PAL/NTSCエンコーダ240は、自身が生成するデジタル波形に従い、ディスプレイ装置108を駆動する。ビデオDAC PAL/NTSCエンコーダ240は、同期情報を生成すると共に、PAL NTSC同期方式のデジタル・ビデオ波形を生成する。

【0025】さらに、性能を高めるために、マルチメディア・コンピュータ・システム・チップ200は、ビデオ・バス242及びグラフィクス・バス244を備えている。ビデオ・バス242は、主メモリ・インターフェース218及びMPEGコプロセッサ206間と、主メモリインターフェース218及びディスプレイ制御装置238間とに、直接バス接続を提供する。ビデオ・バス242は特に、ビデオ出力の生成、ビデオ出力の受信、及びメモリへのビデオ入力直接格納に要求される高帯域幅の提供に有用である。グラフィクス・バス244は、主メモリ・インターフェース218及びグラフィクス・レンダリング・コプロセッサ208間の直接バス接続を提供する。グラフィクス・バス244は、CPU202、I/Oバス212、又はCPU202に関連付けられているメインCPUバス214の補助を必要とすることなく、グラフィクス・レンダリング・コプロセッサ208が主メモリ・インターフェース218を介してメイン・メモリ104にアクセスすることを可能にする。

【0026】マルチメディア・コンピュータ・システム・チップ200内に備えられている暗号及び解読装置は、実行されているコンピュータ・プログラム、あるいはそのコンピュータプログラムが利用又は生成するデータに対するセキュリティを強化する。特に、プログラム・コード又はデータの全ての外部伝送は暗号化された形式で行われるので、認証を受けていない第三者は、コードROM216内に格納されている非公開暗号鍵を知らなければ、プログラム・コード又はデータをコピーすることができない。しかし、コードROM216がマルチメディア・コンピュータ・システム・チップ200内部に在り、マルチメディアシステム・チップ200の出力又はピンによりアクセス不可能な場合には、第三者は、まず暗号化アルゴリズムを破らなくては、使用可能なフォーマットでのコンピュータ・プログラム又はデータに対するアクセスを取得することができない。

【0027】(ゲーム関連コンピュータ・プログラムのような)グラフィクス系コンピュータ・プログラムのプログラム・コード実行時には、実行されているコンピュータ・プログラムに関連するグラフィカル・イメージを生成するために、CPU202は、しばしば、グラフィクス幾何コプロセッサ204及びグラフィクス・レンダリング・コプロセッサ208と相互通信する。しかし、ビデオがマルチメディア・コンピュータ・システム・チップ200により出力されている場合には、CPU202は、ビデオ機能性を提供するMPEGコプロセッサ2

06と相互通信する。好ましくは、CPU202は、これらコプロセッサに対して命令を発する。一旦、命令が発せられると、これらコプロセッサ204、206、208は、長い期間にわたり自律的に動作し得る。マルチメディア・コンピュータ・システム・チップ200の設計が与えられる場合には、CPU202は制御装置として、処理能力を、グラフィクス、サウンド、ビデオ、及び相互作用(interactivity)といった異なるレベルの組合せ性能のサポートに任意の時間に動的にシフトすることができる。利用可能な組み合わせられた潜在処理能力は、1秒間当たり20億動作(2Gops)程度である。

【0028】図3は、本発明に係る発明の実施の形態の1つに従う暗号化を利用するブートアップ手順300のフローチャートである。ブートアップ手順300は、先ず内部コードROM216からコンピュータ・システム100をブートアップする(302)。より詳細には、コンピュータ・システム100は、内部コードROM216に格納されているコンピュータ・コードを使用してブートアップする(302)。内部コードROM216は、シングル・チップコンピュータ・システム102、200の内部に在るので、認証を受けていない第三者は、内部コードROM216内に格納されているデータ及びコードに対するアクセスの取得を厳しく制限される(大抵は阻止される)。この結果、コンピュータ・システム100は、認証なしに複製又は使用されるべきでないコンピュータ・コード又はデータといった自身の重要なコンピュータ・コード及びデータを自身で守ることができる。

【0029】次に、プログラム・データ・ブロックが周辺装置106から引き出される(304)。例えば、プログラム・データ・ブロックは、プログラム・コード、データ又はプログラム・コードとデータとの双方を含み得る。プログラム・データ・ブロックは、CD-ROM又はハード・ドライブに格納され得ると共に、プログラム・コード又はデータの引出(リトリブ)は、ストリームI/Oインターフェース230を通じて引き出され得る。そして、決定ブロック306は、引き出されたプログラム・データ・ブロックが暗号化されているか否かを決定する。通常、セキュリティ上の理由から、引き出されるプログラム・データ・ブロックのプログラム・コード又はデータは暗号化されている。しかし、一般的に、引き出されているプログラム・データ・ブロックは、暗号化されていることもあり又暗号化されていないこともあり、あるいは、プログラム・データ・ブロックのプログラム・コード又はデータの一部分だけ暗号化され、他の部分は暗号化されていないこともある。決定ブロック306は、引き出されたプログラム・データ・ブロックは暗号化されていると判断する場合には、次に、解読が要求されているか否かを決定する。解読が要求さ

れている場合には、引き出されたプログラム・データ・ブロックは解読される(310)。解読は、好ましくは、コンピュータ・システム・チップ102、200の外部からはアクセス不可能であるように、安全に内部コードROM216内に格納されている非公開鍵を使用して、実行される。公開鍵を使用して暗号化が実行され、非公開鍵を使用して解読されるのが好ましいが、様々な異なる暗号化アルゴリズムを用いることができる。この後、引き出されたプログラム・データ・ブロックが暗号化されていないときはブロック306に続き、引き出されたプログラム・データ・ブロックが解読されていない場合にはブロック308に続き、あるいは、引き出されたプログラム・データ・ブロックが既に解読されている場合にはブロック310に続き、引き出されたプログラム・データ・ブロックが、メイン・メモリ104又は内部メモリ内に格納される(312)。内部メモリ(図示しない)は、コンピュータ・システム・チップ102、200の内部にあり、内部コードROM216と同様にコンピュータ・システム・チップ102、200の外部からはアクセス不可能である。

【0030】次に、決定ブロック314は、周辺装置106から引き出されるべきデータ・ブロックが更に存在するかどうかを決定する。決定ブロック314が、周辺装置106から引き出されるべきデータ・ブロックがさらに存在すると決定する場合には、ブートアップ手順300はブロック304及びそれ以降のブロックを繰り返すためにリターンする。これに対して、決定ブロック314が周辺装置106から引き出されるべき全てのデータ・ブロックが既に引き出されていると判断する場合には、ブートアップ手順300は完了し、終了する。

【0031】通常、引き出されたプログラム・データ・ブロックは、マルチメディア・コンピュータ・システム・チップ102、200内に格納されるので、マルチメディア・コンピュータ・システム・チップ102、200に到達すると解読される。引き出されたプログラム・データ・ブロックは既に解読されているので、その後、マルチメディア・コンピュータ・システム・チップ102、200は、そのデータ・ブロックを利用できる。しかし、引き出されたプログラム・データ・ブロックが必要とされるまで常駐することとなる外部メイン・メモリ140に転送されるべき場合には、この引き出されたプログラム・データ・ブロックは暗号化されたままで外部メイン・メモリ104に転送され得る。これに対して、外部メイン・メモリ104に送られる場合であっても、引き出されたプログラム・データ・ブロックがストリームI/Oインターフェース230においてマルチメディア・コンピュータ・システム・チップ102、200内に入るときには、引き出されたプログラム・データ・ブロックは解読することができ、そして、後に格納されるべき外部メイン・メモリ104上にてメモリインターフ

ューズ218、224によって暗号化される。

【0032】マルチメディア・コンピュータ・システム・チップ102、200に関連する暗号化又は解読プロセスは、また、メモリ・インターフェース218、224によるメイン・メモリ104に対するメモリ・アクセスにも応用できる。図4は、本発明の実施例によるメモリ・アクセス手順400のフローチャートである。

【0033】メモリ・アクセス手順400は、データが外部メイン・メモリ104に格納されているか否かを決定する決定ブロック402において、開始する。データがメイン・メモリ104に格納されている場合には、データは暗号化され(404)、その後、この暗号化されたデータは、外部メモリ104に格納される(406)。この場合、データは、マルチメディア・コンピュータ・システム・チップ200を離れマルチメディア・コンピュータ・システム・チップ200の外部にある外部メイン・メモリ104に格納されるので、暗号化される。当然のことながら、格納されているデータが既に暗号化されている場合には、このブロックはバイパスされる。既述のように、公開鍵を用いて暗号化が実行され非公開鍵を用いて解読が実行されることが好ましいが、様々な異なる暗号化アルゴリズムを用いることができる。

【0034】これに対して、決定ブロック402は、データは格納されていないと判断する場合には、データが外部メイン・メモリ104から引き出されたか否かを決定する。決定ブロックは、データは外部メイン・メモリ104から引き出されたと決定する場合には、続いて、引き出されたデータは暗号化されているか否かを決定する。いくつかの実現例では、外部メイン・メモリ104に格納されている全てのデータが暗号化されているだけでなく、重要であって認証を受けていない第三者による取得の排除が要求されるデータだけが暗号化されているので、決定ブロック410は有用である。他の実現例では、外部メイン・メモリ104に格納されている全てのデータが暗号化されている。決定ブロック410が引き出されたデータは暗号化されていると決定するとき、外部メイン・メモリ104から引き出されたデータは解読される(412)。解読は、コンピュータ・システム・チップ200の外部からアクセス不可能であるように内部コードROM216内に安全に格納されている非公開暗号鍵を使用して、実行されることが好ましい。図2に関しては、解読は、主メモリ・インターフェース218と補助メモリ・インターフェース224のいずれがデータを引き出すかに依存して、暗号化/解読装置222又は暗号化/解読装置228のいずれかにより実行される。あるいは、決定ブロック410が、引き出されたデータは暗号化されていないと決定する場合には、ブロック412はバイパスされる。いずれにしても、解読が実行されていない場合には、ブロック412又は決定ブロック410に続いて引き出しデータが要求元に対して転送さ

れる(414)。要求元は通常、コンピュータ・システム・チップ200のCPU202又はコプロセッサ204、206、206の中の1つである。

【0035】データが引き出されていないときは、ブロック406、414、及び決定ブロック408に続いて、メモリ・アクセス手順400が完了し終了する。メモリ・アクセス手順400は、受信されたデータ又はマルチメディア・コンピュータ・システム・チップ102、200からの出力の暗号化及び解読に伴う処理を説明している。しかし、メモリアクセス手順400の副手順の格納及び受取は、別の手順として実行され得ると共に、関連処理はハードウェア、ソフトウェア、または、ハードウェア及びソフトウェアの組合せで実行され得ることは当業者によって理解される。

【0036】本発明に従うマルチメディア・コンピュータ・システム・チップ102、200は、その中でMP EG(つまりMPEG-2)及びハイエンド・グラフィクス(例えば3次元グラフィクス)が単一のチップ上で提供される、高集積化されたコンピュータ・システムである。単一チップ上におけるこの機能性の統合は、メイン・メモリ104に対する呼出時間の低減を許容する。種々のプロセッサ及びコプロセッサの動作は、それらのメモリに対するアクセスと同様に多くの並行動作がより好ましくスケジュール化され得るので、統合(一体化)はまた、メモリ帯域幅の最適化に役立つ。さらに、全てのプロセッサ及びコプロセッサは、動作のスケジューリングに有用な状態情報を取得するために、マルチメディア・コンピュータ・システム・チップ200の他の部分に対するアクセスを有し得る。

【0037】本発明の1つの利点は、種々のコプロセッサ204、206、208とCPU202との統合が、CPU及び従来外部チップであった個々のコプロセッサ間における外部インターフェースの必要性を排除する所にある。このようなチップ上に要求されるピン数は100本を超える。このような外部インターフェースを取り除くことにより、本発明は、チップに要求されるピン数をかなり削減することができる。マルチメディア・コンピュータ・システム・チップ200の一例では、アドレス・バスは32ビット幅でありデータバスは64ビット幅である。したがって、この例では、これら96本のピンといくつかの制御信号、及び従来よりコプロセッサのインターフェース線に要求される割り込み線が、本発明により全て除去される。単一チップ上にCPU及び種々のコプロセッサを備えることにより、これらのピンはもはや必要でなくなる。

【0038】本発明の他の利点は、メモリ共有機会の増加にある。メイン・メモリ104は、シングル・チップ・コンピュータ・システム上に在るCPU202及び種々のコプロセッサによって効率よく共有され得る。さらに、ディスプレイ制御装置が従来より備える相当なラン

ダムアクセスメモリ(RAM)は、メイン・メモリ104の一部を使用することにより大幅に削減され得る。マルチメディア・コンピュータ・システム・チップ200では、特に、マルチメディアシステム・チップ200がディスプレイ制御装置238及び主メモリ・インターフェース218を接続するビデオ・バス242を有するとき、メイン・メモリに提供される帯域幅はこの機能をサポートするために要求される水準を充分満たすほど高い。

【0039】さらに他の利点は、シングル・チップ・コンピュータ・システムが、自身に対する認証を受けていないアクセスを防止するために、プログラム・コード及びデータについての強化されたセキュリティを提供するところにある。シングル・チップ・コンピュータ・システム外部の重要なプログラム・コード及びデータを暗号化することにより、認証されていないユーザは、使用可能なフォームのプログラム・コード及びデータに対するアクセスの取得を大幅に妨げられる。単に、シングル・チップ・コンピュータ・システムの入力及び出力を調べるだけではアクセス不可能、又は発見不可能であるように、暗号化プログラム・コード及びデータの解読に必要な非公開鍵は、シングル・チップ・コンピュータ・システム内部に格納されている。非公開鍵の取得にあたっ

て、半導体構造中に符号化されている非公開鍵の値の追求を試みる場合には、困難且つ膨大な時間を必要とするチップ自身のリバースエンジニアリングのタスクが必要である。

【0040】以上、いくつかの発明の実施の形態に基づき本発明を詳述してきたが、本発明の趣旨を逸脱しない範囲で改良、変更が可能であることは理解されるべきであり、また、上記構成並びに作用は本発明を説明するものであり、本発明を限定するものではない。また、上記記載から本発明の多くの特徴並びに利点が明らかになると共に、これら特徴並びに利点は特許請求の範囲に全て包含されている。

【図面の簡単な説明】

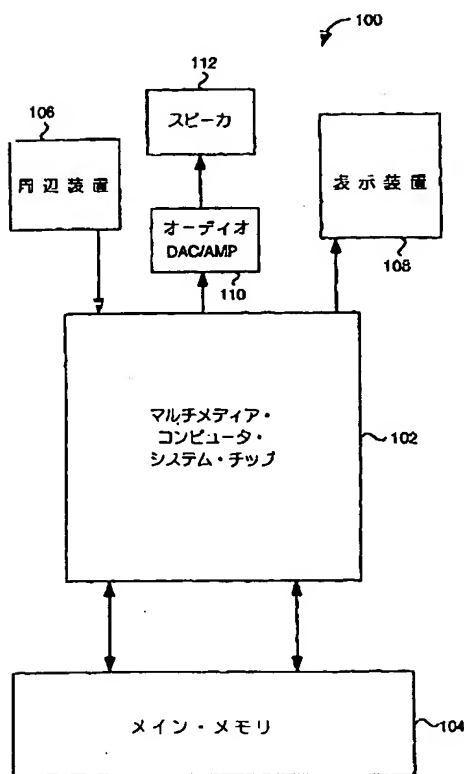
【図1】 本発明に係る発明の実施の形態の1つに従うコンピュータ・システムのブロック図である。

【図2】 本発明に係る詳細な発明の実施の形態に従うマルチメディア・コンピュータ・システムの詳細なブロック図である。

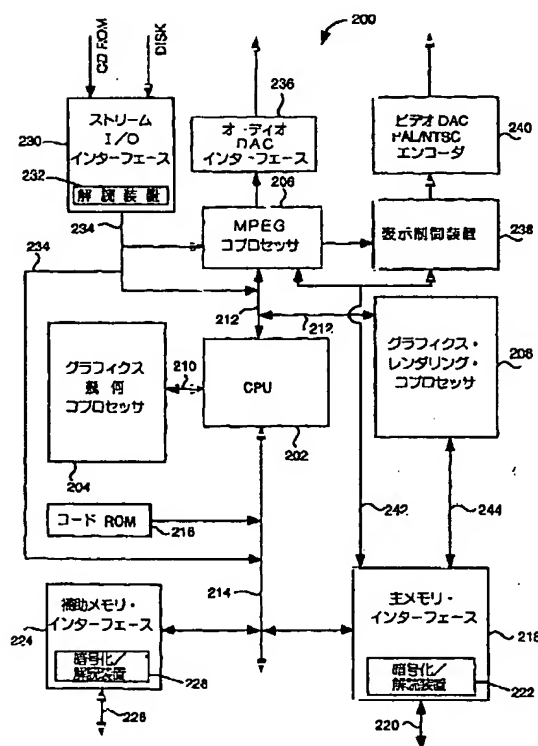
【図3】 本発明に係る発明の実施の形態に従うブートアップ手順のフローチャートである。

【図4】 本発明に係る発明の実施の形態に従うメモリアクセス手順のフローチャートである。

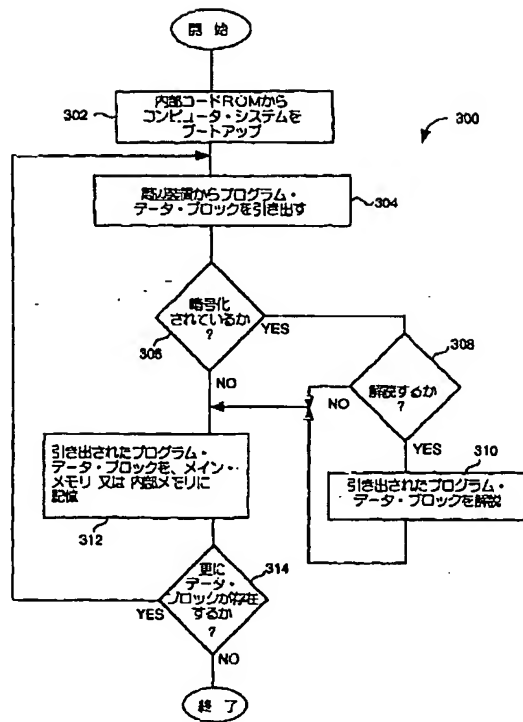
【図1】



【図2】



【図3】



【図4】

